

基于 Petri Nets 的 ASIP 流水线研究

赵 谦, 朱 勇*

(武汉纺织大学 数学与计算机学院, 湖北 武汉 430073)

摘 要: 探讨了将CPU中流水线用PetriNets模型进行描述设计的一种方法, 为了分析验证PetriNets流水线模型描述的正确与否, 搭建了一个用verilog语言实现的模型CPU运行环境, 该CPU的CU单元用PetriNets描述, 对其做了仿真验证, 对这项研究的可行性进行了验证, 为以后进一步研究提出了一个可行的指导思想。

关键词: Petri 网; 专用指令集处理器; Verilog 硬件描述语言; 可编程门阵列

中图分类号: TP368.1

文献标识码: A

文章编号: 2095-414X(2013)03-0061-03

1 引言

目前, 随着超大规模集成电路 FPGA 和 CPLD 的发展^[1], 国外集成电路设计也越来越强调设计的可重用性和短周期性^[2], IP (Intellectual Property) 复用概念应运而生, 并且已成为集成电路发展的趋势^[3], 中国科技大学李曦等提出了“描述-搜索-细化”的 ASIP 设计方法学, 并设计了相应的描述语言与设计环境。山东科技大学信息学院陈新华、张德学承担的青岛市科技局基于 OR1200 嵌入式 SoC 网关集成电路的设计。Petri 网理论现在已经十分的成熟, 国内外有多所大学在对 Petri 网的应用进行研究, 中科大的朱赞等人^[4], 利用 Petri 网对 ASIP 进行了初步的建模。

Petri Net 模型在并发性和延时性上要优于 moore 和 mealy 型状态机, 基于 CPU 中的并行和跳转运行机制, 设计者可以采用 Petri Nets 模型描述 MIPS CPU 的状态机。在本文中, 作者用 Petri Nets 建模方法实现了一个多周期的简单 32 位 MPIS 架构模型 CPU, 在 FPGA 开发板上进行了逻辑验证, 该 CPU 可以实现基本的 MIPS 指令集。

2 Petri Net 定义

1962 年, C.A.Petri(Carl Adan1 Petri)博士提出了 Petri Nets 模型(见图 1), 2007 年, 中国科技大学提出了基于 PN 的 ASIP 体系结构建模的 PNP 模型, 对于这方面的研究作出了很大的贡献。当今 Petri Nets 是一种系统的、数学的和图形的描述和分析工具。

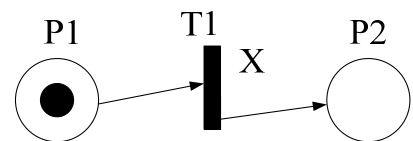


图 1 Petri Nets 模型

Petri Nets 由同一个 arc 连接的两个 placeholder, P1、P2, placeholder 不能同时带有 token 值, P1 带有 token 值, 此时 P1 处于激活状态, 而 P2 中没有 token 值, 说明 P2 此时处于非激活状态。

3 基于 PetriNets 的流水线建模

对于 PetriNets 描述的状态机模型进行了初步的研究, 在此探讨了 I 类指令中 LW 指令的 5 个运行周期在 PetriNets 模型中的转换与变迁^[5-7], 给出了 ASIP 流水线在执行 LW 指令时从取指令状态变迁到指令译码状态时, Petrinets 流水线描述见图 2。

图 2 描述的是模型 CPU 中 CU 模块中的状态机, 图中表示的含义是, 在 IF 状态, 库所会输出 ALUOP, WRITEPC, ALUSRCA, ALUSRCB, WRITEIR 五个控制信号, 箭头代表是每个变迁 T, 同理 ID, EXE, MEM, WB4 个库所也在相应的变迁时输出对应的信号, 设计者可以根据这个 PetriNets 模型变迁图, 重新的设计模

*通讯作者: 朱勇 (1964-), 男, 教授, 博士, 研究方向: 嵌入式 SOC, ASIP。

基金项目: 武汉纺织大学研究生创新基金 (2012)。

4.2 硬件逻辑实现

图5是模型CPU模块的截图, CLK是时钟信号, memwe是memory写信号, instaddr是PC值, instin是指令信号, 来源于指令存储器, MEMDATAIN是从memory中读取的数据, 其它的信号是设计者做仿真引出来的内部信号。

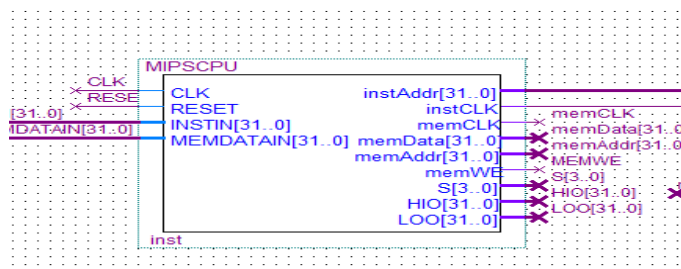


图5 模型机的硬件逻辑实现模块

5 总结

设计者给出了多周期ASIP的硬件环境搭建, 对于CU单元中基于PetriNets模型的状态机的描述给出了抽象的描述图, 设计者实现了CPU中CU单元流水线PetriNets描述验证, 完成了CU单元硬件描述与逻辑综合。给出流水线模型CPU的硬件环境搭建, 然后给出流水线PetriNets状态机变迁描述图, 最后根据设计的状态变迁图转换成对应的verilog硬件描述代码, 仿真成功后下载到FPGA开发板上运行。在以后的研究进行中, 最终实现对基于MIPS架构的模型CPU的流水线状态机进行完整的设计实现。

参考文献:

- [1] 张彦铎, 陈驰, 于宝成, 等. 高速图像采信系统的研制[J]. 武汉工程大学学报, 2013, (5).
- [2] 吴琼飞. 基于ADL的ASIP系统级综合方法研究[D]. 武汉: 武汉纺织大学, 2011.
- [3] 徐智辉, 李卫中, 肖永军. 自由摆上目标动态平衡控制系统的设计[J]. 武汉工程大学学报, 2013, (1).
- [4] 朱赞, 李曦, 龚育昌, 等. 基于Petri网的ASIP体系结构形式化建模方法研究[J]. MINI-MICRO SYSTEMS, 2006.
- [5] 朱勇. TTA流水线Petri网模型[J]. 微电子学与计算机, 2013, (2).
- [6] 陈文. 基于Petri网的ASIP体系结构研究[D]. 武汉: 武汉纺织大学, 2012.
- [7] 朱子玉, 李亚民. CPU芯片逻辑设计技术[M]. 北京: 清华大学出版社, 2005.

Pipeline of ASIP Design Method Based on Petri Nets

ZHAO Qian, ZHU Yong

(College of Mathematic and Computer Science, Wuhan Textile University, Wuhan Hubei 430073, China)

Abstract: A method of using PetriNets model design the pipeline of the traditional CPU, to verify this method is correct, set up a model CPU environment which is designed by verilog language, the CU of this CPU is designed by PetriNets, which has simulated this model, at the same time, author comes up with a correct theory.

Key words: PetriNets; ASIP; VerilogHDL; FPGA